

基于 Verilog-A 与 Matlab 的行为 描述模型的 CDR 设计

徐卫林^{1,2}, 吴 迪², 韦雪明^{1,2}

(1 桂林电子科技大学 广西精密导航技术与应用重点实验室, 广西 桂林 541004;

2 桂林电子科技大学 信息与通信学院, 广西 桂林 541004)

摘 要: 根据模拟集成电路系统级和行为级快速验证的需求, 针对一种穿戴式超宽带射频接收前端的 500 Mbps 的时钟数据恢复电路(CDR)进行设计. 传统 CDR 的 Verilog-A 模型一般是基于理想环路进行环路参数的分析, 误差较大. 利用 Verilog-A 与 Matlab 进行行为级建模时将电荷泵充放电电流的大小和时间不匹配等非理想因素考虑进来, 并进行相位噪声的拟合. 行为级和电路级的对比仿真验证了行为级模型的快速性和准确性, 并对 CDR 电路级的设计具有前瞻性的指导意义.

关键词: Verilog-A; Matlab; 行为级; 时钟数据恢复; 系统仿真

中图分类号: TN402

文献标识码: A

文章编号: 1000—7180(2016)06—0104—05

Design of CDR Based on Behavioral Model Using Verilog-A and Matlab

XU Wei-lin^{1,2}, WU Di, WEI Xue-ming^{1,2}

(1 Guangxi Key Laboratory of Precision Navigation Technology and Application, Guilin University of Electronic Technology, Guilin 541004, China; 2 School of Information and Communication, Guilin University of Electronic Technology, Guilin 541004, China)

Abstract: In accordance with the demand of fast verification of system level and behavioral level about analog integrated circuit, especially the 500 Mb/s clock and data recovery (CDR) circuit used in the receiver of UWB on-body network. The traditional CDR based on Verilog-A has been used to analyze the loop parameters with big random error in ideal condition. However, in this work, the non-ideal factors such as mismatch of magnitude and time between charge up and down current is proposed, which is also modeled by Verilog-A. Meanwhile, the total phase noise of the loop is synthesized by Matlab script. The comparison of circuit level and behavioral level verify the quickly and exactly characteristics of behavioral model, which means they have significant forward-looking directive meaning to circuit design of CDR.

Key words: Verilog-A; Matlab; behavioral level; CDR; system simulation

1 引言

超深亚微米片上系统(SOC)促进了穿戴式产品的迅速发展,而在人体表面复杂的信道环境下,拥有

高速、准确、丰富的多媒体数据传输能力越来越成为穿戴式产品发展的趋势. 因此在设计作为穿戴式产品射频接收机电路的核心模块,即时钟数据恢复电路(CDR)时,快速计算并优化环路参数,并结合实际输入参考噪声快速拟合整个环路相位噪声具有重

收稿日期: 2015—08—07; 修回日期: 2015—09—22

基金项目: 国家自然科学基金项目(61264001, 61166004, 61161003); 广西自然科学基金项目(2013GXNSFAA019333); 研究生教育创新计划资助项目(GDYCSZ201457)

电阻 R_2 等如式(4) ~ (8) 所示.

$$\tau_1 = \frac{\sec(\gamma^\circ) - \tan(\gamma^\circ)}{\omega_c} \tag{4}$$

$$\tau_2 = \frac{1}{\omega_c^2 \cdot \tau_1} \tag{5}$$

$$C_1 = \frac{\tau_1}{\tau_2} \cdot \frac{K_{\text{PFD}\&\text{CP}}K_{\text{VCO}}}{N\omega_c^2} \cdot \sqrt{\frac{1 + (\omega_c\tau_2)^2}{1 + (\omega_c\tau_1)^2}} \tag{6}$$

$$C_2 = C_1 \cdot (\frac{\tau_2}{\tau_1} - 1) \tag{7}$$

$$R_2 = \frac{\tau_2}{C_2} \tag{8}$$

式中, $K_{\text{PFD}\&\text{CP}} = 100\mu/2\pi$ 为鉴频器和电荷泵增益, $K_{\text{VCO}} = 1.5 \text{ GHz/V}$ 为环形振荡器增益, $N = 50$ 为分频比, 最终计算得二阶低通滤波器参数如表 2 所示.

表 2 二阶低通滤波器参数

C_1/pF	C_2/pF	$R_2/\text{k}\Omega$
3.18	31.83	2.7347

实际进行迭代优化时, 环路裕度取值越大使得环路更稳定, 电压波纹摆幅更小, 但同时锁定时间更长, 电路在进行前仿真和后仿真时需要等待的时间也要更久. 因此需要进行折衷, 行为级仿真时间极大缩短了整个迭代也就是折衷的过程, 表 2 所示为经过折衷, 最终以较小锁定时间为主要考虑因素时, 相位裕度取到 55° 的滤波器参数.

3 Verilog-A 建模

利用 Verilog-A 进行行为级建模^[7]的目的是为了快速验证系统功能和参数分配的正确性^[8], 从而避免电路级参数进行优化迭代的时候耗时长, 效率低的问题^[9]. 本文行为级建模分别考虑到电荷泵充放电电流大小和时间不匹配的非理想因素, 然后将其与电路级仿真结果进行对比, 以验证 CDR 电路模块非理想效应对环路造成的影响; 其中电荷泵(CP)模块的 Verilog-A 非理想特性建模代码如下:

```
/Verilog-A for CDR_CP
... //模块定义, 基本参数描述
real cpval, tval;
parameter real ibase=100u;
parameter real iplus=10u;
parameter real tbase=100p;
parameter real tplus=50p;
parameter real vth=0.9;
Analog begin
```

```
@(initial_step) cpval=0;
If((V(up)>Vth)
&&(V(dn)<Vth))
//满足此条件则 CP 充电
begin //非理想因素在注释中说明
cpval=-ibase; //若放电电流大,
改为 cpval=-iref-iplus;
tval=tbase; //若放电时间长,
改为 tval=tbase+tplus;
else if((V(up)>Vth)&&(V(dn)<Vth)) //满足此条件则
CP 放电
begin
cpval=ibase; //若充电电流大, 改为 //cpval=iref+iplus;
tval=tbase; //若放电时间长, 改为 //tval=tbase+tplus;
end
else
begin
cpval=0; //此时环路锁定;
tval=0; //此时环路锁定;
end
I(out)<+transition(cpval, tval, 100p, 100p);
end
endmodule
```

其中充放电时间、充放电大小分别用 tval, cpval 表示. (1)当充放电大小和时间一致时, tval=tbase, cpval=ibase; (2)考虑非理想因素, 充放电大小不一致: 即若放电电流大, 对应放电时的 cpval=-ibase-iplus; 若充电电流大, 对应充电时的 cpval=ibase+iplus; (3)考虑非理想因素, 充放电时间不一致: 即若放电时间长, 对应放电时 tval=tbase+tplus; 若充电时间长, 对应充电时的 tval=tbase+tplus.

基于 PLL 的 CDR 在环路锁定后恢复出时钟信号和数据信号如图 2、图 3 所示. 可知: (1)PLL 锁定时间仅为 582.621 ns; (2)锁定时采样频率与数据率一致, 均为 500 MHz; (3)采样点在数据中心位置, 可满足建立时间和保持时间, 正确恢复数据; (4)整个行为级仿真时间仅需几十秒.

行为级电荷泵充放电大小和时间不匹配的仿真结果如图 4 和图 5 所示, 可知图上表示的充放电电流大小相差 $10 \mu\text{A}$ 时, 锁定时间相比大小一致时多了 100 ns; 充放时间相差 50 ps 时, 锁定时间相比时间一致多出 33 ns 锁定时间. 因此在电路级设计可采用差分电荷泵以尽量满足充放电电流匹配, 以减少锁定时间.

电路级基于 PLL 的 CDR 仿真结果如图 6 所

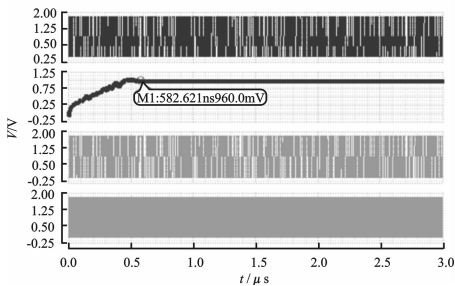


图 2 行为级 CDR 恢复时钟和数据信号
(依次为输入伪随机码 datain、锁定时 vco 控制电压 vctrl、恢复出的时钟信号 retimeddata、恢复出的数据信号 retimedclk)

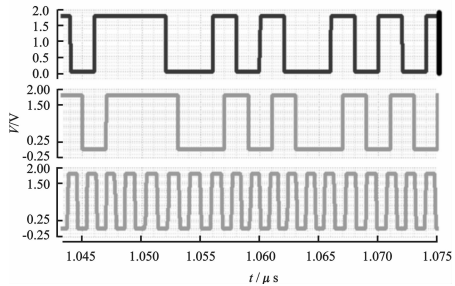


图 3 行为级 CDR 恢复时钟和数据信号细节图
(由上至下依次为输入伪随机码 datain、恢复出的数据信号 retimeddata、恢复出的时钟信号 retimedclk)

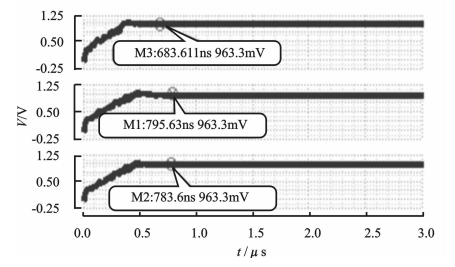


图 4 行为级充放电电流非理想效应锁定
(由上至下依次为充放电电流大小一致、放电大于充电电流 10 μA、充电大于放电电流 10 μA)

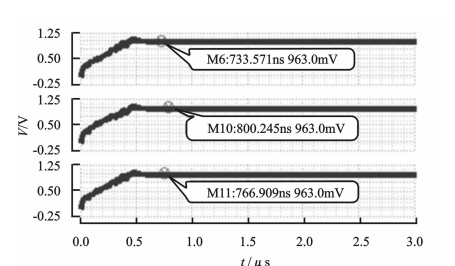


图 5 行为级充放电电流非理想效应锁定
(由上至下依次为充放电电流时间一致、放电时间较长 50 ps、充电时间较长 50 ps)

示,可知实际电路用了频率为数据速率两倍的采样信号,符合奈奎斯特采样定律,可以正确采样恢复出数据,考虑负载影响,恢复数据上升下降时间与理想情况有所差别。

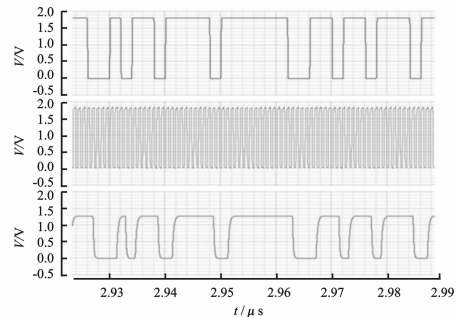


图 6 电路级 CDR 恢复时钟和数据信号细节图
(由上至下依次为恢复出的时钟信号 test1、输入伪随机 NRZ 码、恢复出的数据信号 retimeddata)

由图 2~6 中的行为级别和电路级的 CDR 仿真结果可知:(1)当 PLL 锁定时,基于 Verilog-A 的行为级仿真 VCO 控制电压约为 960 mV,电路级仿真 VCO 控制电压为 940. 816 mV,两个结果已经非常接近,两者控制电压的差值是由于电路设计时,特别是 VCO 电压频率增益 K_{vco} 并不是完全稳定造成;(2)电路级仿真需要几个小时才能完成,相比之下基于 Verilog-A 的行为级别仿真在几十秒内即可,节省了大量时间,便于快速验证系统功能和参数分配。

4 Matlab 拟合双环路整体相位噪声

在利用 Spectre 进行 CDR 电路级相位噪声仿真时,输入的参考噪声无法根据实际的链路进行合理的设置,且仿真时间过长,积累误差严重. 因此可以分别仿真环路不同模块的相位噪声,然后利用噪声传递函数,考虑实际输入参考噪声,并通过 Matlab 进行相位噪声拟合,以缩短仿真时间和节省空间。

将 N 分频的负反馈环路断开,只考虑开环前向增益,可推导开环传递函数 $A(s)$ 如式(9)所示,二阶低通滤波器的增益 $F(S)$ 为 VCO 控制电压与电荷泵输出电流的比值,如式(10)所示。

$$A(s) = \frac{K_{pd} * F(s) * K_{vco}}{s} \tag{9}$$

$$F(s) = \frac{1}{\frac{1}{R + \frac{1}{C * s}} + C_2 * s} \tag{10}$$

由于进行整个环路相位噪声拟合时,必须采用闭环传递函数,因此用开环传递函数推导闭环传递

函数 $H(s)$ 易得式(11),考虑到输入参考噪声对整个环路的影响,推导误差传递函数 $E(s)$ 如式(12)所示.

$$H(s) = \frac{A(s)}{1 + N * A(s)} \tag{11}$$

$$E(s) = \frac{1}{1 + N * A(s)} = \frac{H(s)}{A(s)} \tag{12}$$

在工艺角为 TT,温度为 27 度的情况下,利用不同模块 30 次仿真的平均值,得到最终结果如图 7 所示,其中 PN_outref 为实际链路的输入参考噪声,PN_outpcl 为单独对鉴相器,电荷泵和滤波器仿真得到的相位噪声数据,PN_outvco 为单独仿真振荡器得到的相位噪声,PN_out 为最终拟合的相位噪声.可得到整个环路相位噪声在频偏 10 MHz 时候为-118.736 2 dBc.利用 Matlab 进行整个环路相位噪声拟合能极大提高环路性能计算速度.由于不同通信链路的输入参考噪声不同,因此可准确灵活地利用噪声传递函数拟合整个环路实际相位噪声.

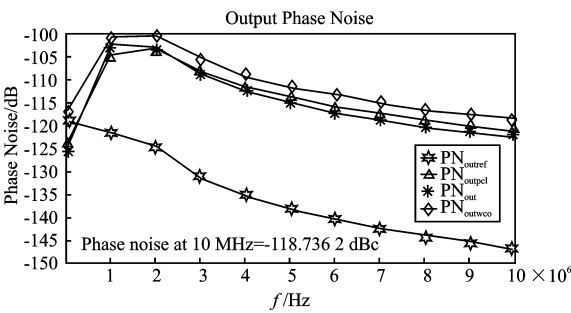


图 7 Matlab 建模拟合环路相位噪声

5 结束语

本文研究了基于 Verilog-A 和 Matlab 的 CDR 行为级建模方法,展开对电荷泵充放电不匹配的非理想特性、不同模块噪声传递函数分析,并通过仿真验证得到量化评估结果.指出了利用 Verilog-A 进行行为级建模能高效模拟电路级仿真结果,充放电不匹配等非理想特性会造成锁定时间延长,通过 Matlab 拟合环路相位噪声可根据输入参考噪声仿真出实际环路相位噪声指标,从而为穿戴式超宽带

射频接收机前端 CDR 电路设计提供重要的理论依据.

参考文献:

[1] 王颖, SerDes 系统级设计及行为级验证[D]. 成都:电子科技大学,2012:17-50.

[2] 罗志聪,方金花. 基于 VerilogA 的 USB2.0 物理层模型的研究与设计[J]. 四川大学学报(自然科学版), 2014,51(2):299-305.

[3] 朱樟明,张春朋,杨银堂,等. 基于 Verilog-A 的模拟电路行为模型及仿真[J]. 电子器件, 2003, 26(4): 396-399.

[4] 肖杜,李永峰,朱小飞,等. 基于数模混合仿真的 PLL 系统设计[J]. 微电子学与计算机, 2006,23(8):73-79.

[5] S J Ahmed, T A Kwasniewski, A multiple-rotating-phase architecture for digital data recovery circuits in verilog-A[C]//IEEE Behavioral Modeling and Simulation Workshop, BMAS05, San Jose, CA: IEEE, 2005: 112-117.

[6] S J Ahmed, D Orthner, T A Kwasniewski, Behaviorral test benches for digital clock and data recovery chir-cuits using verilog-A[C]//CICC 2005, San Jose, CA: IEEE, 2005:297-300.

[7] M A Kossel, M L Schmatz, Jitter measurements of high-speed serial links[J]. IEEE Design and Test of Computers, 2004,21(6):536 - 543.

[8] 陈娟,陈鑫. 适用于数字锁相环的快速建模方法[J]. 电子器件, 2012,35(5):535-539.

[9] 许望洋,魏廷存,高武,等. 延迟锁相环的精确建模与仿真[J]. 微处理机, 2012,33(3):11-16.

作者简介:

徐卫林 男,(1976-),博士,研究生导师. 研究方向为通信集成电路设计等.

吴 迪(通讯作者) 男,(1990-),硕士研究生. 研究方向为数模混合集成电路设计等.

E-mail: zmnwdustb007@163. com.

韦雪明 男,(1978-),博士,研究生导师. 研究方向为高速通信集成电路设计等.